

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-258861

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

H05B 33/12
G09F 9/30
H01L 29/784
// G09G 3/30

(21)Application number : 04-086665

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 11.03.1992

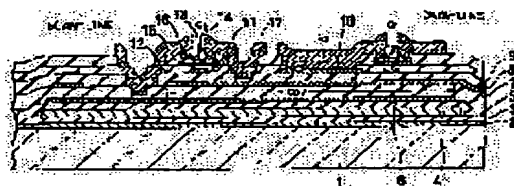
(72)Inventor : UNO YASUHIRO

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To secure a sufficient display area and improve display quantity by arranging a data line on a thin film EL element, and individually selecting picture elements.

CONSTITUTION: A picture element selecting data line is arranged to extend in the auxiliary scanning direction of picture elements and to pass on the luminescence section 4 of an EL element, and both the data line and a scan line are arranged in the luminescence area of one picture element. A switching element Q is laminated with a gate electrode 11, a gate insulation layer 12, a semiconductor active layer 13, and a channel protective film 14 in sequence. The channel protective layer 14 is pinched by an ohmic contact layer 15 and a Cr dispersion preventing layer 16 to form a thin film transistor. The thin film EL element is individually arranged with the picture elements into a matrix shape, and the data line individually selects the picture elements. When the thin film transistor is laminated on the thin film element, the luminescence area can be thoroughly secured, and high display quality is obtained even if the opening ratio is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection] .

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-258861

(43) 公開日 平成5年(1993)10月8日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 B 33/12				
G 0 9 F 9/30	3 6 5 D	6447-5G		
H 0 1 L 29/784				
// G 0 9 G 3/30	H	8729-5G		
		9056-4M		
			H 0 1 L 29/78	3 1 1 C
			審査請求	未請求 請求項の数2(全7頁)

(21) 出願番号 特願平4-86665

(22) 出願日 平成4年(1992)3月11日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 宇野 泰宏

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

(74) 代理人 弁理士 阪本 清孝 (外1名)

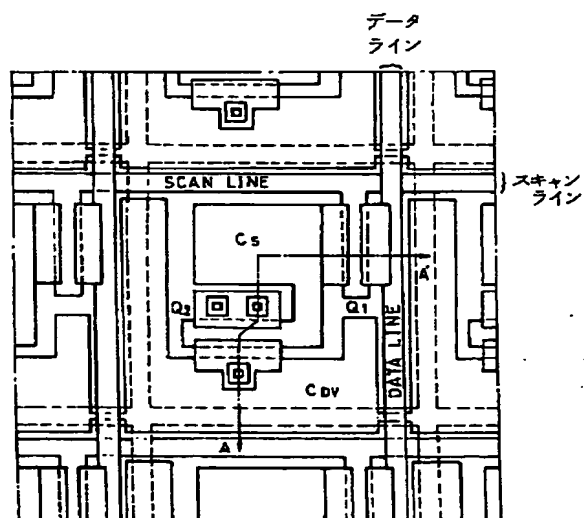
(54) 【発明の名称】 ディスプレイ装置

(57) 【要約】

【目的】 アクティブマトリクス型のディスプレイ装置において、開口率を下げることなく、高い表示品質のディスプレイ装置を提供する。

【構成】 マトリクス状態に画素が配列された薄膜EL素子の上部に、薄膜トランジスタを積層し、更に画素選択のデータラインとライン選択のスクアンラインとを薄膜EL素子上を通るよう配置したディスプレイ装置である。

【効果】 薄膜トランジスタを薄膜EL素子に積層しただけでなく、データラインとスクアンラインとをも薄膜EL素子上に配置しているので、開口率を下げることなく、高い表示品質のディスプレイ装置とすることができる効果がある。



1

【特許請求の範囲】

【請求項1】 マトリクス状に個別に画素を配置して成る薄膜EL素子と、前記薄膜EL素子を駆動し、前記薄膜EL素子に積層して形成される薄膜トランジスタとを有するディスプレイ装置において、前記画素を個別に選択するデータラインを前記薄膜EL素子の上部に配置したことを特徴とするディスプレイ装置。

【請求項2】 マトリクス状に個別に画素を配置して成る薄膜EL素子と、前記薄膜EL素子を駆動し、前記薄膜EL素子に積層して形成される薄膜トランジスタとを有するディスプレイ装置において、前記画素をライン毎に選択するスキャンラインを前記薄膜EL素子の上部に配置したことを特徴とするディスプレイ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜EL素子をマトリクス状に配列して薄膜トランジスタを用いて駆動する薄膜トランジスタ駆動アクティブマトリクス型の薄膜ELディスプレイ装置に係り、特に開口率を上げて高品質にするディスプレイ装置に関する。

【0002】

【従来の技術】従来、薄膜EL素子を用いたディスプレイ装置は、電極をX方向とY方向にマトリクス状に配置し、X方向とY方向の電極に駆動回路から電圧を印加して画素発光を行う単純マトリクス構造のディスプレイ装置が知られている。

【0003】しかしながら、単純マトリクスのディスプレイ装置では、画素数が2000×2000と多くなると、クロストークの問題が大きくなり、多数の画素を発光させるのが困難となり、また輝度の低い赤や青発光のカラーEL素子をディスプレイとして用いる場合には、輝度の低い色に対応した周波数で駆動しなければならず、EL素子を使ったディスプレイ装置のカラー化が困難となっていた。

【0004】そこで、各画素に薄膜トランジスタを用いて画素のON状態をフレーム・フレーム間も保持することのできるアクティブマトリクス駆動の方法が考えられている。この方法の場合、各画素の駆動周波数とフレーム周波数は独立して制御されるため、EL素子を高い周波数で駆動することができ、比較的輝度の低い赤や青発光のカラーEL素子でもディスプレイとして使うことができる。

【0005】この薄膜トランジスタ駆動のアクティブマトリクス型のディスプレイ装置について説明する。このディスプレイ装置は、一画素（1ビット）毎に画素が選択された信号を保持する回路が備わったもので、マトリクス状に形成された信号線によって各画素の発光・非発光を選択することにより、ディスプレイ全体を駆動するものである。

【0006】次に、上記従来のディスプレイ装置の1ビ

2

ット分のEL駆動回路について、図5のEL駆動回路図を使って説明する。このEL駆動回路は、薄膜トランジスタ（TFT）から成る第1のスイッチング素子Q1と、該スイッチング素子Q1のソース端子S1側に一方の端子を接続する蓄積用コンデンサCsと、ゲート端子G2が前記第1のスイッチング素子Q1のソース端子S1に接続され、且つソース端子S2が前記蓄積用コンデンサCsの他方の端子に接続されているTFTから成る第2のスイッチング素子Q2と、一方の端子が第2のスイッチング素子Q2のドレイン電極D2に接続され、且つ他方の端子がEL駆動電源Vaに接続されている薄膜EL素子CELと、第2のスイッチング素子Q2と並列に接続される分割コンデンサCDVとから構成されている。

【0007】第1のスイッチング素子Q1は、ゲート端子G1に印加されるスイッチング信号SCANに応じてオンし、この第1のスイッチング素子Q1オン・オフにより発光信号DATAに応じて蓄積用コンデンサCsを充放電するようになっている。第2のスイッチング素子Q2は、蓄積用コンデンサCsからの放電電圧がゲート端子G2に印加されることによりオンし、EL駆動電源Vaにより薄膜EL素子CELを発光させるようになっている。分割コンデンサCDVは、第2のスイッチング素子Q2のオフ時にEL駆動電源Vaの電圧を薄膜EL素子CELと分割コンデンサCDVにより分割することにより、第2のスイッチング素子Q2の耐圧を低く設計可能なように設けたものである。

【0008】そして、薄膜EL素子と薄膜トランジスタを組合わせて、アクティブマトリクス型のディスプレイを作成する場合には、薄膜EL素子と薄膜トランジスタを平面的に並べる構造と薄膜EL素子の上に薄膜トランジスタを形成する積層型の構造が考えられる。その場合、ディスプレイ装置としての表示品質を考えると、非発光部と発光部を含む全面積に対する発光部の面積の比を表す開口率が高い程、表示品質が良くなるため、開口率が高くなる積層型のアクティブマトリクスディスプレイが望まれている。

【0009】次に、上記積層型の薄膜トランジスタ駆動アクティブマトリクス薄膜ELディスプレイ装置の一ビット分についての構成を図6及び図7を使って説明する。図6は、従来のディスプレイ装置の平面説明図であり、図7は、図6のB-B'部分の断面説明図である。

【0010】図6に示すように、一ビット（一画素）内には、第1のスイッチング素子Q1と、第2のスイッチング素子Q2と、蓄積用コンデンサCsと、分割コンデンサCDVと、薄膜EL素子CELとを含むように構成されている。

【0011】また、図7に示すように、ガラス等の透明な基板1上に、透明電極2、第1の絶縁層3、発光層4、第2の絶縁層5、金属電極6から成る薄膜EL素子CELが形成されている。金属電極6上には第3の絶縁層

3

7を介してグランド(GND)レベルに接続する金属層8が形成され、この第3の絶縁層7を金属電極6と金属層8とで挟んだ部分が分割コンデンサCVDを形成している。

【0012】更に、金属層8上に第4の絶縁層9を介して第1のスイッチング素子Q1と第2のスイッチング素子Q2の2つのTFTと、蓄積用コンデンサCSが形成されている。蓄積用コンデンサCSは、第4の絶縁層9を金属層8と電極層10とで挟んで構成されている。

【0013】2つのスイッチング素子QのTFTは、第4の絶縁層9上に、ゲート電極11、ゲート絶縁層12、半導体活性層13、チャネル保護膜14を順次積層し、チャネル保護膜14を挟んでオーミックコンタクト層15、拡散防止層16が形成されている。ここで、分割されたオーミックコンタクト層15と拡散防止層16がソース・ドレイン電極を形成している。そしてスイッチング素子Qと蓄積用コンデンサCS等を接続する配線層17が形成されている。

【0014】このようなディスプレイ装置の構成において、薄膜EL素子と薄膜トランジスタの間にはグランドレベルに接続する金属層8が設けられている。この金属層8は、薄膜EL素子にかかる200Vの交流電圧により、薄膜EL素子上部に設けられた薄膜トランジスタのゲート電圧等が影響を受けて、正常なON・OFFの駆動ができなくなるのを防ぐために、薄膜EL素子と薄膜トランジスタの間に配置してある。この金属層8により、デバイスの各信号をEL駆動の交流電圧からシールドすることができる。

【0015】そして、図6に示すように、画素選択用のデータライン(DATA LINE)は画素の副走査方向に延びる形で、薄膜EL素子の発光部と発光部との間に配置するようにしており、また、ライン選択用のスキャンライン(SCAN LINE)は画素の主走査方向に延びる形で、薄膜EL素子の発光部と発光部の間に配置するようにしていた。

【0016】

【発明が解決しようとする課題】しかしながら、上記従来の薄膜トランジスタ駆動のアクティブマトリクス型のディスプレイ装置では、単純マトリクス型のディスプレイ装置に比べ、データラインとスキャンラインの幅だけ開口率が下がり、そのため表示品質が低くなってしまうという問題点があった。

【0017】本発明は上記実情に鑑みて為されたもので、データラインとスキャンラインのいずれか一方又は双方を薄膜EL素子の発光部の上部を通るよう配置した構造とし、アクティブマトリクス型のディスプレイ装置についても開口率を下げることなく、高い表示品質を保つことができるディスプレイ装置を提供することを目的とする。

【0018】

4

【課題を解決するための手段】上記従来の問題点を解決するための請求項1記載の発明は、マトリクス状に個別に画素を配置して成る薄膜EL素子と、前記薄膜EL素子を駆動し、前記薄膜EL素子に積層して形成される薄膜トランジスタとを有するディスプレイ装置において、前記画素を個別に選択するデータラインを前記薄膜EL素子の上部に配置したことを特徴としている。

【0019】上記従来の問題点を解決するための請求項2記載の発明は、マトリクス状に個別に画素を配置して成る薄膜EL素子と、前記薄膜EL素子を駆動し、前記薄膜EL素子に積層して形成される薄膜トランジスタとを有するディスプレイ装置において、前記画素をライン毎に選択するスキャンラインを前記薄膜EL素子の上部に配置したことを特徴としている。

【0020】

【作用】請求項1記載の発明によれば、マトリクス状に画素配列された薄膜EL素子の上部に、薄膜トランジスタを積層し、更に画素選択のデータラインを薄膜EL素子上を通るよう配置したディスプレイ装置としているので、開口率を上げることができ、十分な表示領域を確保することで高い表示品質とすることができる。

【0021】請求項2記載の発明によれば、マトリクス状に画素配列された薄膜EL素子の上部に、薄膜トランジスタを積層し、更にライン選択のスキャンラインを薄膜EL素子上を通るよう配置したディスプレイ装置としているので、開口率を上げることができ、十分な表示領域を確保することで高い表示品質とすることができる。

【0022】

【実施例】本発明の一実施例について図面を参照しながら説明する。図1は、本発明の一実施例に係るディスプレイ装置の部分的な平面説明図であり、図2は、図1のA-A'部分の断面説明図である。尚、図5及び図6と同様の構成をとる部分については同一の符号を付して説明する。

【0023】本実施例のディスプレイ装置の一面素内には、図1に示すように、第1のスイッチング素子Q1と、第2のスイッチング素子Q2と、蓄積用コンデンサCSと、分割コンデンサCVDと、薄膜EL素子CELとを含むように構成されている。

【0024】そして、画素選択用のデータライン(DATA LINE)は画素の副走査方向に延びる形で、薄膜EL素子の発光部上部を通過するように配置されており、また、ライン選択用のスキャンライン(SCAN LINE)は画素の主走査方向に延びる形で、薄膜EL素子上部を通過するように配置されている。つまり、従来は薄膜EL素子の発光部と発光部との間にデータラインとスキャンラインを配置するようにしていたが、発光部の発光領域の上部で一面素の発光領域内に両ラインが配置される構成となっている。

【0025】次に、本実施例のディスプレイ装置の一面

5

素を構成する各部について、図2を使って説明する。図2に示すように、薄膜EL素子CELは、ガラス等の透明な基板1上に、酸化インジウム・スズ（ITO）の透明電極2、シリコン窒化膜（SiNx）の第1の絶縁層3、硫化亜鉛マンガン（ZnS:Mn）の発光層4、SiNxの第2の絶縁層5、クロム（Cr）の金属電極6を順次積層して形成されている。

【0026】また、金属電極6上にはSiNxの第3の絶縁層7を介してグランド（GND）レベルに接続するCrの金属層8が形成され、この第3の絶縁層7を金属電極6と金属層8とで挟んだ部分が分割コンデンサCDVを形成している。

【0027】更に、金属層8上にSiNxの第4の絶縁層9を介して第1のスイッチング素子Q1と第2のスイッチング素子Q2の2つの薄膜トランジスタ（TFT）と、蓄積用コンデンサCSが形成されている。蓄積用コンデンサCSは、第4の絶縁層9を金属層8と電極層10とで挟んで構成されている。

【0028】2つのスイッチング素子QであるTFTは、第4の絶縁層9上に、Crのゲート電極11、SiNxのゲート絶縁層12、イントリンシックアモルファスシリコン（i-a-Si）の半導体活性層13、SiNxのチャネル保護膜14を順次積層し、チャネル保護膜14を挟んでn+のアモルファスシリコン（n+ a-Si）のオーミックコンタクト層15、Crの拡散防止層16が形成される逆スタガ型の薄膜トランジスタとなっている。ここで、分割されたオーミックコンタクト層15と拡散防止層16がソース・ドレイン電極を形成し、そしてスイッチング素子Qと蓄積用コンデンサCS等を接続する配線層17がアルミニウム（Al）等で形成される構成となっている。

【0029】また、上記ディスプレイ装置の構成において、薄膜EL素子と薄膜トランジスタの間には第3の絶縁層7と第4の絶縁層9を介してグランドレベルに接続する金属層8が設けられる構成となっている。この金属層8は、分割コンデンサCDVと蓄積用コンデンサCSの一方の電極としての役割を果たす他、薄膜EL素子にかかる200Vの交流電圧により、薄膜EL素子上部に設けられたTFTのゲート電極11に与えられるゲート電圧等が影響を受けて、正常なON・OFFの駆動ができなくなるのを防ぐために、薄膜EL素子と薄膜トランジスタの間に配置されている。この金属層8により、デバイスの各信号をEL駆動の交流電圧からシールドすることができる。

【0030】そして、スキャンライン（SCAN-LINE）は、金属層8上に第4の絶縁層9を介してCr等で形成されており、薄膜EL素子の金属電極6上に配置される構成となっている。また、データライン（DATA-LINE）も、スイッチング素子Q1のTFTのドレイン電極に近づけて薄膜EL素子の上部に乗るように

6

配置される構成となっている。

【0031】次に、本実施例のディスプレイ装置の製造方法について図2を使って説明する。ガラス基板上にスパッタ装置を用いて透明電極材料のITOを1000オングストローム程度着膜し、フォトリソプロセスにより透明電極2を形成する。次に、EL下部の絶縁層となる第1の絶縁層3を形成するためにSiNxをスパッタ装置を用いて2000オングストローム程度着膜する。そして、発光層4であるZnS:MnをEB蒸着装置を用いて4000オングストローム程度着膜し、フォトリソプロセスにより発光部を形成する。次に、EL上部の絶縁層となる第2の絶縁層5を形成するためにSiNxをスパッタ装置を用いて2000オングストローム程度着膜し、フォトリソプロセスにより第2の絶縁層5と第1の絶縁層3の両方を同時にエッチングし、透明電極2とのコンタクトホールを形成する。そして、Crをスパッタ装置を用いて1000オングストローム程度着膜し、フォトリソプロセスにより金属電極6を形成する。

【0032】次に、第3の絶縁膜層7となるSiNxをスパッタ装置を用いて8000オングストローム程度着膜し、フォトリソプロセスを用いて金属電極6とスイッチング素子Q2のTFTのドレイン電極とを接続するためのコンタクトホールを形成する。そしてCrをスパッタ装置を用いて1000オングストローム程度着膜し、フォトリソプロセスにより金属層8を形成する。次に、第4の絶縁層9となるSiNxをスパッタ装置を用いて4000オングストローム程度着膜し、フォトリソプロセスにより金属層8とスイッチング素子Q2のTFTのソース電極とのコンタクトホールを形成する。

【0033】スイッチング素子Q1、Q2のTFTのゲート電極11、電極層10及びスキャンラインとなるCrをスパッタ装置を用いて500オングストローム程度着膜し、フォトリソプロセスにより電極層10、ゲート電極11及びスキャンラインを形成する。この時、スキャンラインが薄膜EL素子の発光部の上を通るように配置する。

【0034】次に、SiNx層を3000オングストローム程度、i-a-Si層（i層）を1000オングストローム程度、SiNx層を1500オングストローム程度、プラズマCVD装置を用いて連続着膜し、ゲート絶縁層12、半導体活性層13、チャネル保護膜14を積層する。そしてフォトリソプロセスによりチャネル保護膜14を形成する。

【0035】次に、オーミックコンタクト層16のn+ a-Si層（n+層）をプラズマCVD装置を用いて1000オングストローム程度着膜する。そしてフォトリソプロセスによりn+層、i層を同時にエッチングする。次にゲート絶縁層12をフォトリソプロセスによりエッチングし、スキャンラインとのコンタクトホールを形成する。

【0036】TFTの拡散防止層16となるCrをスパッタ装置を用いて1500オングストローム程度着膜し、フォトリソプロセスによりソース・ドレイン電極を形成する。そして層間絶縁層を形成した後に、データライン及び配線層17のAlをスパッタ装置を用いて6000オングストローム程度着膜し、フォトリソプロセスによりデータライン等を形成する。この時、データラインが薄膜EL素子の発光部の上を通るように配置する。

【0037】本実施例のディスプレイ装置によれば、アクティブマトリクスタイプの薄膜EL素子において、そのデータラインとスキャンラインの両方を薄膜EL素子の発光部上に配置するようにしているので、薄膜EL素子の発光領域を十分確保することができ、開口率を下げることなくディスプレイを構成できるため、表示品質の高いELディスプレイを実現できる効果がある。

【0038】また、別の実施例を図3及び図4に示す。図3は、薄膜EL素子の発光部の上にデータラインが配置されたディスプレイ装置の一部の平面説明図であり、図4は、薄膜EL素子の発光部の上にスキャンラインが配置されたディスプレイ装置の一部の平面説明図である。この2つの実施例の場合でも、ディスプレイ装置の開口率を下げることなく、高い表示品質とすることができる効果がある。

【0039】

【発明の効果】請求項1記載の発明によれば、マトリクス状に画素配列された薄膜EL素子の上部に、薄膜トランジスタを積層し、更に画素選択のデータラインを薄膜EL素子上を通るよう配置したディスプレイ装置としているので、開口率を上げることができ、十分な表示領域を確保することで高い表示品質とすることができる効果

がある。

【0040】請求項2記載の発明によれば、マトリクス状に画素配列された薄膜EL素子の上部に、薄膜トランジスタを積層し、更にライン選択のスキャンラインを薄膜EL素子上を通るよう配置したディスプレイ装置としているので、開口率を上げることができ、十分な表示領域を確保することで高い表示品質とすることができる効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例に係るディスプレイ装置の平面説明図である。

【図2】 図1のA-A'部分の断面説明図である。

【図3】 別の実施例のディスプレイ装置の平面説明図である。

【図4】 別の実施例のディスプレイ装置の平面説明図である。

【図5】 従来のディスプレイ装置の1ビット分のEL駆動回路図である

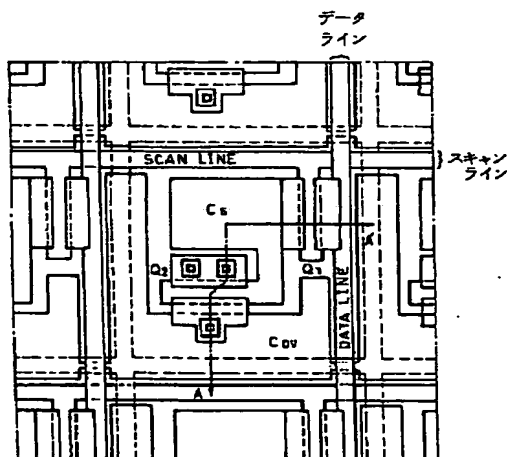
【図6】 従来のディスプレイ装置の平面説明図である。

【図7】 図6のB-B'部分の断面説明図である。

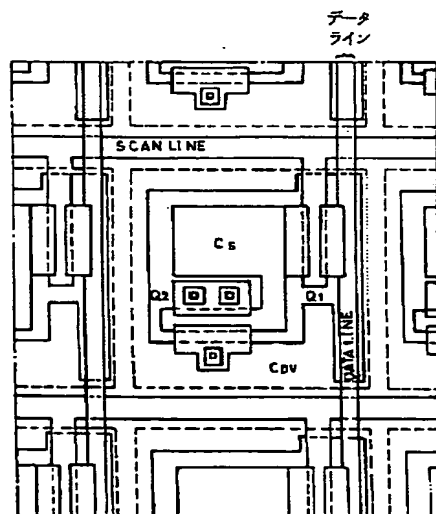
【符号の説明】

1…基板、 2…透明電極、 3…第1の絶縁層、 4…発光層、 5…第2の絶縁層、 6…金属電極、 7…第3の絶縁層、 8…金属層、 9…第4の絶縁層、 10…電極層、 11…ゲート電極、 12…ゲート絶縁層、 13…半導体活性層、 14…チャネル保護膜、 15…オーミックコンタクト層、 16…拡散防止層、 17…配線層

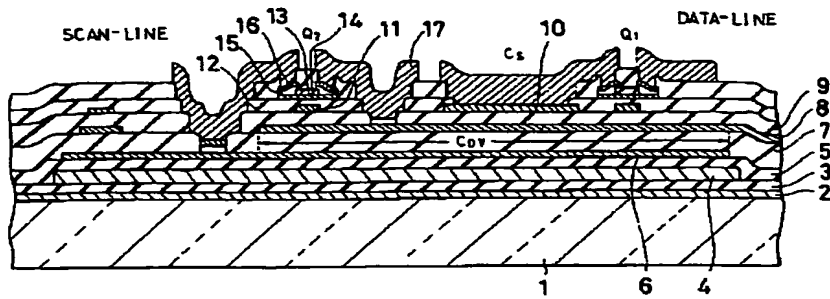
【図1】



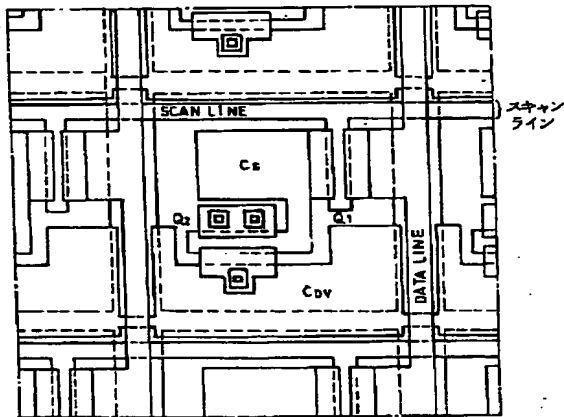
【図3】



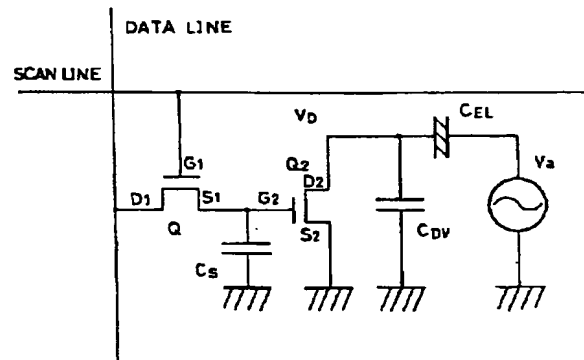
【図2】



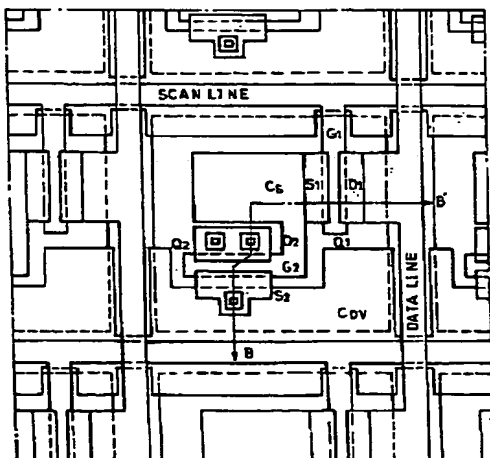
【図4】



【図5】



【図6】



【図7】

